



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 198 23 733 A 1**

⑤1 Int. Cl.<sup>6</sup>:  
**H 01 L 27/115**  
H 01 L 21/8247

⑦1 Aktenzeichen: 198 23 733.2  
⑦2 Anmeldetag: 27. 5. 98  
⑦3 Offenlegungstag: 2. 12. 99

DE 198 23 733 A 1

⑦1 Anmelder:  
Siemens AG, 80333 München, DE

⑦2 Erfinder:  
Ludwig, Christoph, Dr., 01465 Langebrück, DE;  
Kutter, Christoph, Dr., 81667 München, DE; Wolf,  
Konrad, Dr., 01445 Radebeul, DE; Heitzsch, Olaf, Dr.,  
01640 Coswig, DE; Huckels, Kai, Dr., 01465  
Langebrück, DE; Rennekamp, Reinhold, Dr., 01099  
Dresden, DE; Röhrich, Mayk, 01099 Dresden, DE;  
Stein von Kamienski, Elard, Dr., 01099 Dresden, DE;  
Wawer, Peter, Dr., 01309 Dresden, DE; Springmann,  
Oliver, 01109 Dresden, DE

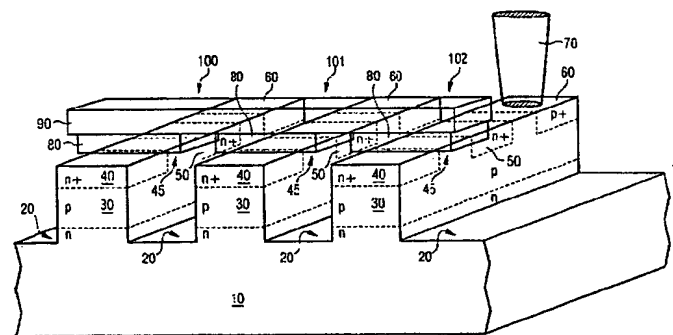
⑤6 Entgegenhaltungen:  
US 56 79 591

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleiter-Speicherzellenanordnung und entsprechendes Herstellungsverfahren

⑤7 Die vorliegende Erfindung schafft eine Halbleiter-Speicherzellenanordnung mit einer Mehrzahl von matrixförmig auf einem Substrat (10) angeordneten und durch entsprechende Wort- und Bitleitungen verschalteten Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c), insbesondere von Flash-EEPROM-Speicherzellen, wobei die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) jeweils eine gategesteuertes Halbleiterbauelement aufweisen, dessen erster Hauptanschluß an eine jeweilige erste Bitleitung (95; 95a-c) angeschlossen, dessen zweiter Hauptanschluß vorzugsweise an ein jeweiliges Referenzpotential angeschlossen ist und dessen Gateanschluß an eine jeweilige Wortleitung (90; 90a-d) angeschlossen ist. Das gategesteuerte Halbleiterbauelement ist über seinen Kanalbereich (45) an eine jeweilige zweite Bitleitung (30; 30a-c) angeschlossen. Dadurch ist es möglich, eine einzelne Speicherzelle beim Auslesen durch die eine und beim Programmieren durch die andere Bitleitung anzusteuern und diesbezüglich beide Gruppen von Bitleitungen unabhängig voneinander zu optimieren.



DE 198 23 733 A 1

BEST AVAILABLE COPY

## Beschreibung

Die vorliegende Erfindung betrifft eine Halbleiter-Speicherzellenanordnung mit einer Mehrzahl von matrixförmig auf einem Substrat angeordneten und durch entsprechende Wort- und Bitleitungen verschalteten Speicherzellen, insbesondere von Flash-EEPROM-Speicherzellen, wobei die Speicherzellen jeweils ein gate-gesteuertes Halbleiterbauelement aufweisen, dessen erster Hauptanschluß an eine jeweilige erste Bitleitung angeschlossen, dessen zweiter Hauptanschluß vorzugsweise an ein jeweiliges Referenzpotential angeschlossen ist und dessen Gateanschluß an eine jeweilige Wortleitung angeschlossen ist. Die vorliegende Erfindung betrifft ebenfalls ein entsprechendes Herstellungsverfahren.

Obwohl prinzipiell auf beliebige Halbleiter-Speicherzellenanordnungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf Flash-EEPROM-Speicherzellenanordnung in Siliziumtechnologie erläutert.

Allgemein ist ein EEPROM (electrically erasable programmable read only memory) ein programmierbarer Festwertspeicher, der sich elektrisch löschen läßt. Flash-EEPROMs sind zwar wie die EEPROMs elektrisch löscherbar, doch nicht byteweise, sondern nur blockweise.

Halbleiter-Speicherzellenanordnungen erfordern eine Einzelansteuerung der Speicherzellen zumindest für den Auslese- und Programmierbetrieb. Dies wird in der Praxis üblicherweise durch eine matrixförmige Anordnung von senkrecht zueinander verlaufenden Leiterbahnen realisiert, welche in Form von Zeilen und Spalten verschaltet sind. Üblicherweise werden die Zeilenverbindungen als Wortleitungen und die Spaltenverbindungen als Bitleitungen bezeichnet.

Das Auslesen der Daten von den Speicherzellen oder das Programmieren bzw. Schreiben von Daten in die Speicherzellen wird durch die Aktivierung geeigneter Wortleitungen und Bitleitungen bewerkstelligt.

Üblicherweise enthält eine Flash-EEPROM-Speicherzelle einen Feldeffekttransistor. Der Transistor enthält zwei Diffusionsbereiche, welche durch einen Kanal getrennt sind, oberhalb dessen ein Gate angeordnet ist. Abhängig von der Richtung des Stromflusses bezeichnet man den einen Diffusionsbereich als Drain und den anderen als Source. Die Bezeichnungen "Drain" und "Source" werden hier hinsichtlich der Diffusionsbereiche gegenseitig austauschbar verwendet. Die Gates sind mit einer Wortleitung verbunden, und einer der Diffusionsbereiche ist mit einer Bitleitung verbunden, während der andere Diffusionsbereich üblicherweise mit einem Referenzpotential verbunden ist.

Das Anlegen einer geeigneten Spannung an das Gate schaltet den Transistor in Abhängigkeit von seinem Programmierzustand ein und ermöglicht ggfs. einen Stromfluß zwischen den Diffusionsbereichen durch den Kanal, um so eine Verbindung zwischen der Bitleitung und dem Referenzpotential zu bilden. Das Ausschalten des Transistors trennt diese Verbindung, indem der Stromfluß durch den Kanal unterbrochen wird.

Das Programmieren selbst erfolgt durch Speichern von Ladungen durch einen Tunnelstrom (z. B. Fowler-Nordheim-Prinzip) oberhalb des Kanals, so daß die Schwellspannung des Transistors verschoben wird.

Die der vorliegenden Erfindung zugrundeliegende Problematik besteht allgemein darin, daß die Bitleitungen üblicherweise als Metallbahnen ausgeführt werden und zur Ansteuerung der Speicherzellen sowohl beim Lesen als auch beim Programmieren eingesetzt werden. Die beiden Betriebsarten Programmieren und Auslesen erfolgen jedoch

bei sehr unterschiedlichen Betriebsbedingungen und bringen daher unterschiedliche technische Anforderungen u. a. hinsichtlich Leckströmen, Sättigungsströmen, Degradationsfestigkeit etc. mit sich.

Als nachteilhaft beim obigen bekannten Ansatz hat sich die Tatsache herausgestellt, daß stets ein Kompromiß zwischen optimalem Ausleseverhalten und optimalem Programmierverhalten gefunden werden muß.

Insbesondere treten beim üblichen Programmieren verhältnismäßig hohe Spannungen am Drainbereich auf, welche zu unerwünschten Feldüberhöhungen führen, die wiederum das Gateoxid schädigen können.

Daher ist es Aufgabe der vorliegenden Erfindung, eine verbesserte Halbleiter-Speicherzellenanordnung zu schaffen, bei der das Programmierverhalten unabhängig vom Ausleseverhalten optimierbar ist.

Erfindungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleiter-Speicherzellenanordnung und durch das entsprechende Herstellungsverfahren nach Anspruch 7 gelöst.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß eine zweite Bitleitung nicht über den Hauptanschluß des gate-gesteuerten Halbleiterbauelements geführt ist, sondern über den Kanalbereich bzw. über das Bauelementsubstrat.

Die erfindungsgemäße Halbleiter-Speicherzellenanordnung weist gegenüber den bekannten Lösungsansätzen den Vorteil auf, daß es möglich ist, eine einzelne Speicherzelle beim Programmieren im wesentlichen durch die zweite, zusätzliche Bitleitung und beim Lesen im wesentlichen durch die erste, bekannte Bitleitung anzusteuern. Dadurch lassen sich die Leckströme beim Programmieren und Lesen minimieren.

Dadurch, daß die zweite Bitleitung über den Kanalbereich geführt ist, steht eine große Tunnelstrom-Querschnittsfläche zur Verfügung, und somit werden die Feldüberhöhungen am Drain beim Programmieren vermieden. Demzufolge erhält man eine geringe Oxidschädigung bzw. eine hohe Zuverlässigkeit und Lebensdauer (erforderlich für strenge Anforderungen hinsichtlich der zu erwartenden Speicherzyklen).

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen der in Anspruch 1 angegebenen Halbleiter-Speicherzellenanordnung.

Gemäß einer bevorzugten Weiterbildung sind die Speicherzellen über die jeweilige erste Bitleitung auslesbar und über die jeweilige zweite Bitleitung programmierbar. Dies hat den Vorteil, daß beide Bitleitungen vollkommen unabhängig voneinander optimierbar sind.

Gemäß einer weiteren bevorzugten Weiterbildung weist das Substrat eine Mehrzahl von in einer ersten Richtung im wesentlichen parallel zueinander verlaufenden Isolationsgräben und dazwischenliegenden Stegen auf, auf denen die Speicherzellen angeordnet sind, wobei die ersten Bitleitungen über den Stegen verlaufen und die zweiten Bitleitungen in den Stegen verlaufen. Dies hat den Vorteil, daß die zweiten Bitleitungen ohne Platzverlust in den Stegen integriert sind und die ersten Bitleitungen wie die bekannten Bitleitungen als Metallstreifen ausbildbar sind.

Gemäß einer bevorzugten Weiterbildung weisen das Substrat einen ersten Leitungstyp, die zweiten Bitleitungen einen zweiten Leitungstyp, die Hauptanschlüsse der gate-gesteuerten Halbleiterbauelemente den ersten Leitungstyp und der Kanalbereich den zweiten Leitungstyp auf.

Gemäß einer bevorzugten Weiterbildung bilden die Kanalbereiche und die zweite Bitleitung in einem jeweiligen Steg einen zusammenhängenden Dotierungsbereich. Bei Verwendung von Isolationsgräben (STI-Gräben) hinrei-

chender Tiefe, welche an die Dotierprofile angepaßt ist, kommt diese Bitleitung-Doppelstruktur sogar ohne Einbußen in der Chipfläche aus.

Gemäß einer bevorzugten Weiterbildung ist in einem jeweiligen Steg ein Aufdotierungsbereich des zweiten Leitungstyps zum Anschluß der betreffenden zweiten Bitleitung vorgesehen. Dies spart ein Kontaktloch pro Speicherzelle.

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

In den Figuren zeigen:

**Fig. 1** eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung;

**Fig. 2** einen Stromlaufplan der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach **Fig. 1**; und

**Fig. 3** die an ein einzelnes Halbleiter-Speicherelement der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach **Fig. 1** beim Löschen (**Fig. 3a**), beim Programmieren (**Fig. 3b**) und beim Auslesen (**Fig. 3c**) anzulegenden Spannungen.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

**Fig. 1** ist eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung.

In **Fig. 1** bezeichnen **10** ein n-Halbleitersubstrat, **20** Isolationsgräben in STI-Technologie (STI = Shallow Trench Isolation), **30** p-Dotierungsgebiete in den Stegen als zweite Bitleitungen, **40** n<sup>+</sup>-Draingebiete, **50** n<sup>+</sup>-Sourcegebiete, **45** Kanalgebiete, **60** p<sup>+</sup>-Aufdotierungsgebiete, **70** einen Kontaktbereich zu **60**, **80** schwebende Gatestrukturen, **90** eine Wortleitung und **100**, **101**, **102** Speicherzellen mit einem jeweiligen Feldeffekttransistor mit Floating-Gatestruktur. Die ersten Bitleitungen sind in **Fig. 1** nicht gezeigt und verlaufen parallel zu den Isolationsgräben oberhalb der Stege.

Die in **Fig. 1** gezeigte Halbleiter-Speicherzellenanordnung mit der Mehrzahl von matrixförmig auf dem Substrat **10** angeordneten und durch entsprechende Wort- und Bitleitungen verschalteten Flash-EEPROM-Speicherzellen **100**, **101**, **102** bedient sich der in den Stegen vergrabenen zweiten Bitleitungen **30** zum Programmieren der Speicherzellen und der (nicht gezeigten) ersten üblichen Metallstreifen-Bitleitungen zum Lesen der Speicherzellen.

Der jeweilige Feldeffekttransistor mit Floating-Gate-Struktur hat seinen ersten Hauptanschluß (Drain) an eine jeweilige erste Bitleitung angeschlossen, seinen zweiten Hauptanschluß (Source) an Massepotential angeschlossen und seinen Gateanschluß an eine jeweilige Wortleitung **90** angeschlossen.

Wichtig ist, daß der jeweilige Feldeffekttransistor über seinen Kanalbereich **45** an die jeweilige zweite Bitleitung **30** angeschlossen ist, also unterhalb der Gateoxidebene, wodurch das Gateoxid vor den beim Programmieren auftretenden hohen Spannungen geschützt ist. Die Kanalbereiche **45** und die zweite Bitleitung **30** in einem jeweiligen Steg bilden dabei einen zusammenhängenden p-Dotierungsbereich. In dem jeweiligen Steg ist an oberen Ende von **Fig. 1** der Aufdotierungsbereich **60** des zweiten Leitungstyps p<sup>+</sup> zum Anschluß der betreffenden zweiten Bitleitung **30** vorgesehen.

Im folgenden wird das Verfahren zur Herstellung einer derartigen Halbleiter-Speicherzellenanordnung näher erläutert.

Zunächst erfolgt das Bereitstellen des Substrats **10** mit dem ersten Leitungstyp n. Mit Hilfe von den im wesentlichen parallelen STI-Isolationsgräben **20** in der Substratober-

fläche mit typischerweise 600 nm Tiefe werden streifenförmige bzw. stegförmige aktive Gebiete geschaffen, welche später durch Oxid in den Isolationsgräben voneinander isoliert werden.

Dann erfolgt das Bilden von einem jeweiligen Dotierungsgebiet **30** mit dem zweiten Leitungstyp p in den Stegen, wobei die Dotierungsgebiete **30** nicht miteinander verbunden sind. Im gezeigten Fall ist der untere Bereich der Stege noch n-dotiert. Doch können sich die Dotierungsgebiete **30** auch ins Substrat **10** nach unten weiter fortsetzen, solange sie nicht gegenseitig verbunden sind.

Darauf erfolgt das Bilden von den n<sup>+</sup>-Drain/Source-Dotierungsbereichen **40**, **50** der Feldeffekttransistoren auf den Stegen. Dazu sei erwähnt, daß es andere Prozeßvarianten gibt, bei denen die Source/Drain-Dotierung erst später im Prozeß vorzugsweise selbstjustierend ausgeführt wird.

Die ersten Bitleitungen **95** werden in bekannter Weise als Metallstreifen über den Stegen gebildet und angeschlossen, und die zweiten Bitleitungen **30** werden über die Kontakte **70** angeschlossen. Auch das Bilden der Wortleitungen **90** über den Stegen, die mit jeweiligen Floating-Gate-Bereichen **80** verbunden sind, geschieht in an sich bekannter Art und Weise.

**Fig. 2** zeigt einen Stromlaufplan der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach **Fig. 1**.

In **Fig. 2** bezeichnen zusätzlich zu den bereits eingeführten Bezugszeichen **90a-c** Wortleitungen, **95a-c** erste Bitleitungen, **302c** zweite Bitleitungen, **100a-c** sowie **101a-c** sowie **102a-c** Speicherzellen mit Feldeffekttransistor mit schwebender Gatestruktur.

Zum Auslesen einer bestimmten Speicherzelle wird nur die erste der jeweiligen beiden Bitleitungen aktiviert und zum Programmieren nur die zweite der jeweiligen beiden Bitleitungen. Die p-Dotierung in den Stegen dient beim Lesen als Wannenanschluß und beim Schreiben bzw. Löschen als aktive Bitleitung, die auf ein entsprechendes Potential gelegt wird.

**Fig. 3** zeigt die an ein einzelnes Halbleiter-Speicherelement der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach **Fig. 1** beim Löschen (**Fig. 3a**), beim Programmieren (**Fig. 3b**) und beim Auslesen (**Fig. 3c**) anzulegenden Spannungen.

In **Fig. 3a-c** bezeichnet zusätzlich zu den bereits eingeführten Bezugszeichen **95** eine jeweilige erste Bitleitung.

Gemäß **Fig. 3a**) liegt beim Löschen die erste Bitleitung **95** auf 0 V, die zweite Bitleitung **30** auf 0 V und die Wortleitung **90** auf -15 V.

Gemäß **Fig. 3b**) liegt beim Programmieren die erste Bitleitung **95** auf 0 V, die zweite Bitleitung **30** auf -5 V und die Wortleitung **90** auf +10 V. Dies vermeidet die besagten Feldüberhöhungen am Drainanschluß.

Gemäß **Fig. 3c**) liegt beim Lesen die erste Bitleitung **95** auf 1 V, die zweite Bitleitung **30** auf 0 V und die Wortleitung **90** auf +2 V.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Insbesondere ist die Erfindung nicht nur auf Flash-EEPROM-Speicherzellen anwendbar, sondern auf jegliche Halbleiterspeicherzellen mit einem gate-gesteuerten Halbleiterbauelement.

Auch sind die im Ausführungsbeispiel gewählten Leitungstypen nur beispielhaft und z. B. durch den jeweiligen komplementären Leitungstyp ersetzbar.

Das Substrat ist in allgemeinem Sinne zu verstehen, denn es kann u. a. ein Wafersubstrat sein oder eine Wanne in ei-

nem Wafersubstrat oder eine Epitaxieschicht auf einem Wafer sein.

Auch die Potentiale zum Lesen, Schreiben und Löschen sind nur beispielhaft gewählt und von der konkreten Halbleiterstruktur abhängig.

#### Patentansprüche

1. Halbleiter-Speicherzellenanordnung mit einer Mehrzahl von matrixförmig auf einem Substrat (10) angeordneten und durch entsprechende Wort- und Bitleitungen verschalteten Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c), insbesondere von Flash-EEPROM-Speicherzellen, wobei die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) jeweils ein gate-gesteuertes Halbleiterbauelement aufweisen, dessen erster Hauptanschluß an eine jeweilige erste Bitleitung (95; 95a-c) angeschlossen, dessen zweiter Hauptanschluß vorzugsweise an ein jeweiliges Referenzpotential angeschlossen ist und dessen Gateanschluß an eine jeweilige Wortleitung (90; 90a-d) angeschlossen ist; **dadurch gekennzeichnet**, daß das gate-gesteuerte Halbleiterbauelement über seinen Kanalbereich (45) an eine jeweilige zweite Bitleitung (30; 30a-c) angeschlossen ist.
2. Halbleiter-Speicherzellenanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) über die jeweilige erste Bitleitung (95; 95a-c) auslesbar und über die jeweilige zweite Bitleitung (30; 30a-c) programmierbar sind.
3. Halbleiter-Speicherzellenanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Substrat (10) eine Mehrzahl von in einer ersten Richtung im wesentlichen parallel zueinander verlaufenden Isolationsgräben (20) und dazwischenliegenden Stegen aufweist, auf denen die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) angeordnet sind, wobei die ersten Bitleitungen (95; 95a-c) über den Stegen verlaufen und die zweiten Bitleitungen (30; 30a-c) in den Stegen verlaufen.
4. Halbleiter-Speicherzellenanordnung nach Anspruch 3, dadurch gekennzeichnet, daß das Substrat (10) einen ersten Leitungstyp (n), die zweiten Bitleitungen (30; 30a-c) einen zweiten Leitungstyp (p), die Hauptanschlüsse der gategesteuerten Halbleiterbauelemente den ersten Leitungstyp (n<sup>+</sup>) und der Kanalbereich (45) den zweiten Leitungstyp (p) aufweisen.
5. Halbleiter-Speicherzellenanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Kanalbereiche (45) und die zweite Bitleitung (30; 30a-c) in einem jeweiligen Steg einen zusammenhängenden Dotierungsbereich bilden.
6. Halbleiter-Speicherzellenanordnung nach Anspruch 5, dadurch gekennzeichnet, daß in einem jeweiligen Steg ein Aufdotierungsbereich (60) des zweiten Leitungstyps (p<sup>+</sup>) zum Anschluß der betreffenden zweiten Bitleitung (30; 30a-c) vorgesehen ist.
7. Verfahren zur Herstellung einer Halbleiter-Speicherzellenanordnung mit den Schritten:
  - Bereitstellen eines Substrats (10) mit einem ersten Leitungstyp (n); Bilden von im wesentlichen parallelen Isolationsgräben (20) in der Substratoberfläche;
  - Bilden von einem jeweiligen Dotierungsgebiet (30) mit einem zweiten Leitungstyp (p) in den Stegen, wobei die Dotierungsgebiete (30) nicht miteinander verbunden sind;
  - Bilden von Dotierungsbereichen (40; 50) von Speicherzellen

cherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) auf den Stegen, die jeweils ein gate-gesteuertes Halbleiterbauelement aufweisen, dessen Hauptanschlüsse die Dotierungsbereiche (40; 50) sind; und

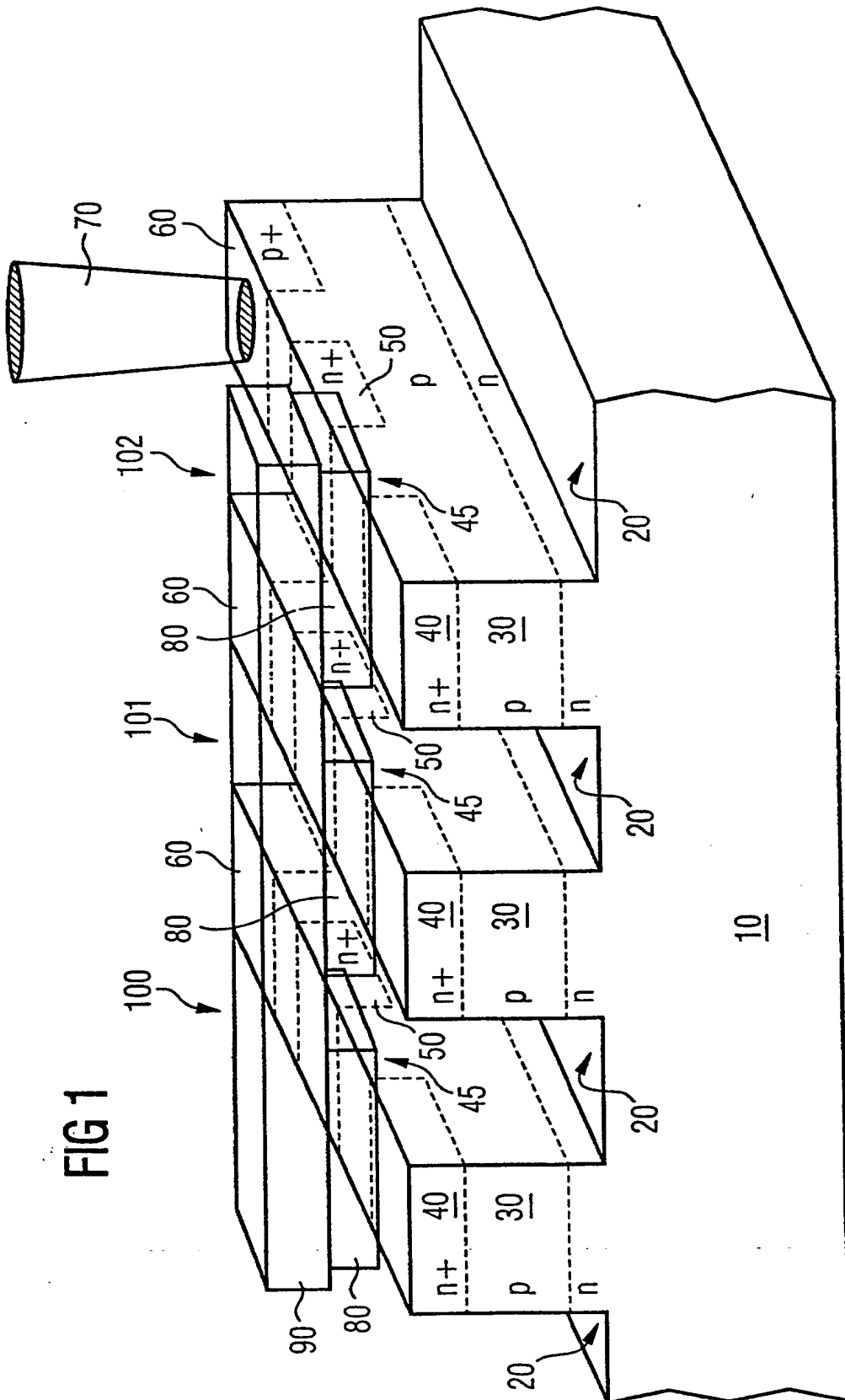
Bilden von ersten Bitleitungen (95; 95a-c) über den Stegen, die mit jeweiligen ersten Hauptanschlüssen (40) verbunden sind;

Bilden von zweiten Bitleitungen (30; 30a-c), die mit einem jeweiligen Dotierungsgebiet (30) mit dem zweiten Leitungstyp (p) in den Stegen verbunden sind; und Bilden von Gatebereichen (80) und von Wortleitungen (90) über den Stegen.

---

Hierzu 2 Seite(n) Zeichnungen

---



BEST AVAILABLE COPY

FIG 2

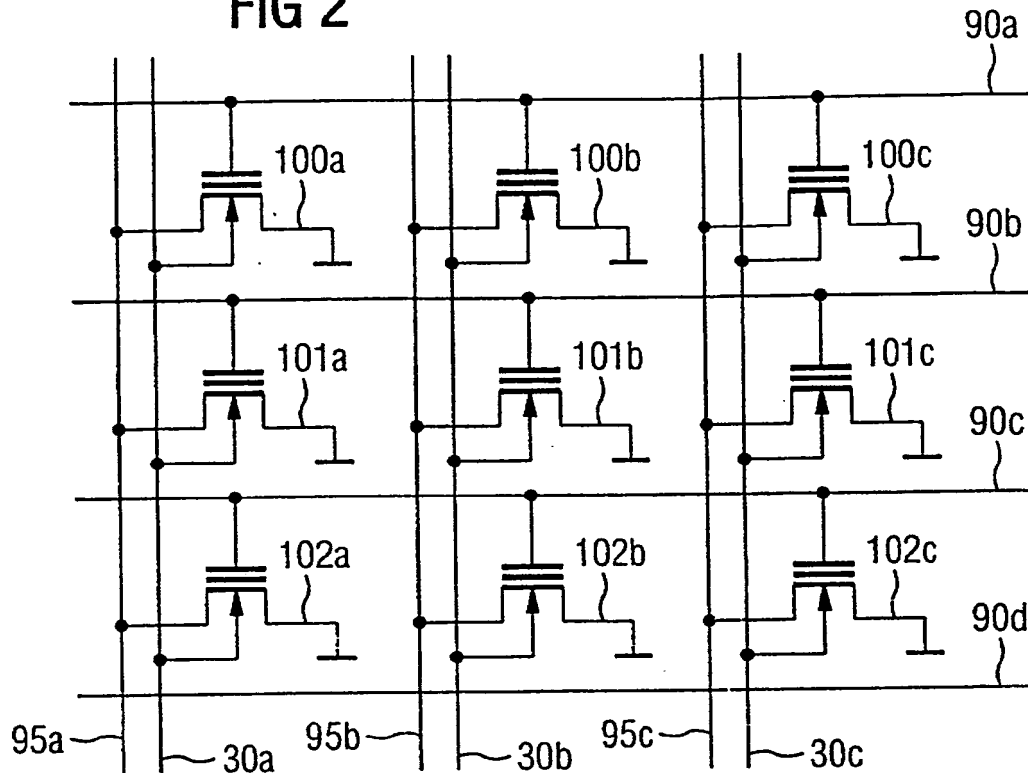


FIG 3a

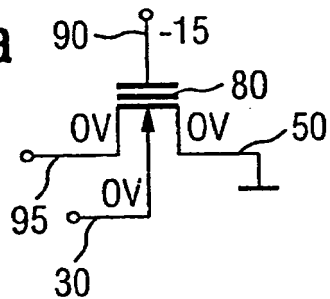


FIG 3b

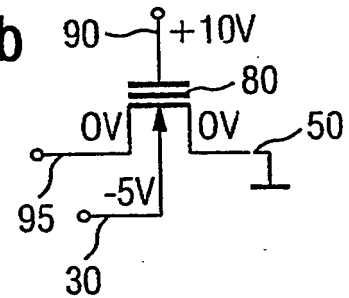
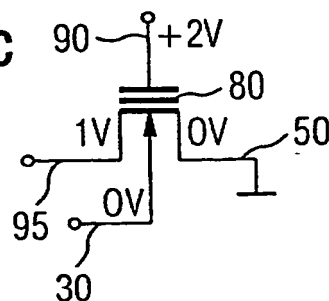


FIG 3c



SC 114827P  
BC



**PCT**  
WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro  
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

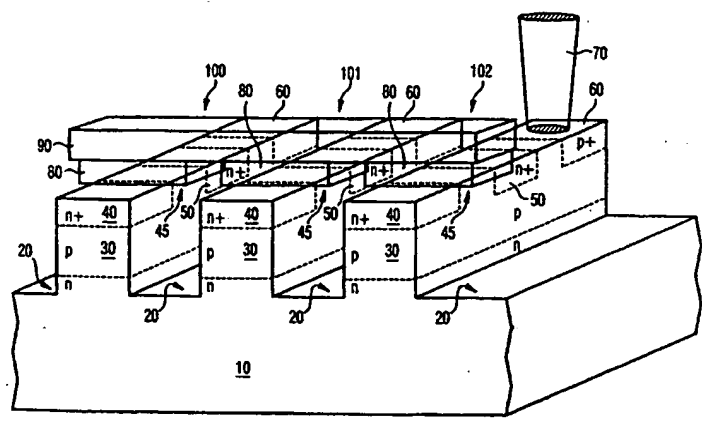
(51) Internationale Patentklassifikation <sup>6</sup> : <b>H01L 271/115, 21 /8247</b>		<b>AI</b>	(11) Internationale Veröffentlichungsnummer: <b>WO 99/62128</b>
			(43) Internationales Veröffentlichungsdatum: <b>2. Dezember 1999 (02.12.99)</b>
(21) Internationales Aktenzeichen: <b>PCT/DE99/01515</b>		SPRINGMANN, Oliver [DE/DE]; Keulenbergrasse 58 a, D-01109 Dresden (DE).	
(22) Internationales Anmeldedatum: <b>20. Mai 1999 (20.05.99)</b>		(74) Gemeinsamer Vertreter: <b>SIEMENS AKTIENGE- SELLSCHAFT</b> ; Postfach 22 16 34, D-80506 München (DE).	
(30) Prioritätsdaten: <b>198 23 733.2      27. Mai 1998 (27.05.98)      DE</b>		(81) Bestimmungsstaaten: BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</b>		Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>LUDWIG, Christoph [DE/DE]; Bergerstrasse 15, D-01465 Langebrück (DE). ROEHRICH, Mayk [DE/DE]; Melanchthonstrasse 5, D-02826 Görlitz (DE). KUTTER, Christoph [DE/DE]; Louisenstrasse 60, D-01099 Dresden (DE). WOLF, Konrad [DE/DE]; Hauptstrasse 56, D-01445 Radebeul (DE). HEITZSCH, Olaf [DE/DE]; Seestrasse 18 a, D-01640 Coswig (DE). HUCKELS, Kai [DE/DE]; Brühmstrasse 4, D-01465 Langebrück (DE). RENNEKAMP, Reinhold [DE/DE]; Martin-Luther-Platz 11, D-01099 Dresden (DE). STEIN VON KAMIENSKI, Elard [DE/DE]; Am Sonnenhang 2, D-01099 Dresden (DE). WAWER, Peter [DE/DE]; Mersburger Strasse 5, D-01309 Dresden (DE).</b>			

(54) Title: SEMICONDUCTOR STORAGE CELL ARRANGEMENT AND A CORRESPONDING PRODUCTION METHOD

(54) Bezeichnung: HALBLEITER-SPEICHERZELLENANORDNUNG UND ENTSPRECHENDES HERSTELLUNGSVERFAHREN

(57) Abstract

The invention relates to a semiconductor storage cell arrangement having a plurality of storage cells (100, 101, 102; 100a-c, 101a-c, 102a-c), especially flash-EEPROM storage cells). Said storage cells are interconnected by corresponding word and bit lines and are arranged on a substrate (10) in a matrix-shaped manner. The storage cells (100, 101, 102; 100a-c, 101a-c, 102a-c) each comprise a gate-controlled semiconductor component whose first main terminal is connected to a respective first bit line (95; 95a-c), whose second main terminal is preferably connected to a respective reference potential, and whose gate terminal is connected to a respective word line (90; 90a-d). The gate-controlled semiconductor component is connected to a respective second bit line (30; 30a-c) via a channel region (45). A doped region (60) of the second conduction type (p<sup>+</sup>) is provided in a respective segment for connecting said second bit line (30; 30a-c). As a result, one contact hole per memory cell is spared.



**BEST AVAILABLE COPY**

#### (57) Zusammenfassung

Die vorliegende Erfindung schafft eine Halbleiter-Speicherzellenanordnung mit einer Mehrzahl von matrixförmig auf einem Substrat (10) angeordneten und durch entsprechende Wort- und Bitleitungen verschalteten Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c), insbesondere von Flash-EEPROM-Speicherzellen, wobei die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) jeweils ein gate-gesteuertes Halbleiterbauelement aufweisen, dessen erster Hauptanschluß an eine jeweilige erste Bitleitung (95; 95a-c) angeschlossen, dessen zweiter Hauptanschluß vorzugsweise an ein jeweiliges Referenzpotential angeschlossen ist und dessen Gateanschluß an eine jeweilige Wortleitung (90; 90a-d) angeschlossen ist. Das gate-gesteuerte Halbleiterbauelement ist über seinen Kanalbereich (45) an eine jeweilige zweite Bitleitung (30; 30a-c) angeschlossen. In einem jeweiligen Steg ist ein Aufdotierungsbereich (60) des zweiten Leitungstyps (p<sup>+</sup>) zum Anschluß der betreffenden zweiten Bitleitung (30; 30a-c) vorgesehen. Dadurch spart man sich ein Kontaktloch pro Speicherzelle.

#### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						



## Beschreibung

5 Halbleiter-Speicherzellenanordnung und entsprechendes Her-  
stellungsverfahren

Die vorliegende Erfindung betrifft eine Halbleiter-Speicherzellenanordnung gemäß dem Oberbegriff des Anspruchs 1, welche aus der US-A-5,679,591 bekannt ist. Die vorliegende Erfindung  
10 betrifft ebenfalls ein entsprechendes Herstellungsverfahren.

Obwohl prinzipiell auf beliebige Halbleiter-Speicherzellenanordnungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf Flash-  
15 EEPROM-Speicherzellenanordnung in Siliziumtechnologie erläutert.

Allgemein ist ein EEPROM (electrically erasable programmable read only memory) ein programmierbarer Festwertspeicher, der  
20 sich elektrisch löschen läßt. Flash-EEPROMs sind zwar wie die EEPROMs elektrisch löschar, doch nicht byteweise, sondern nur blockweise.

Halbleiter-Speicherzellenanordnungen erfordern eine Einzelansteuerung der Speicherzellen zumindest für den Auslese- und Programmierbetrieb. Dies wird in der Praxis üblicherweise durch eine matrixförmige Anordnung von senkrecht zueinander verlaufenden Leiterbahnen realisiert, welche in Form von Zeilen und Spalten verschaltet sind. Üblicherweise werden die  
25 Zeilenverbindungen als Wortleitungen und die Spaltenverbindungen als Bitleitungen bezeichnet.  
30

Das Auslesen der Daten von den Speicherzellen oder das Programmieren bzw. Schreiben von Daten in die Speicherzellen  
35 wird durch die Aktivierung geeigneter Wortleitungen und Bitleitungen bewerkstelligt.

Üblicherweise enthält eine Flash-EEPROM-Speicherzelle einen Feldeffekttransistor. Der Transistor enthält zwei Diffusionsbereiche, welche durch einen Kanal getrennt sind, oberhalb dessen ein Gate angeordnet ist. Abhängig von der Richtung des Stromflusses bezeichnet man den einen Diffusionsbereich als Drain und den anderen als Source. Die Bezeichnungen "Drain" und "Source" werden hier hinsichtlich der Diffusionsbereiche gegenseitig austauschbar verwendet. Die Gates sind mit einer Wortleitung verbunden, und einer der Diffusionsbereiche ist mit einer Bitleitung verbunden, während der andere Diffusionsbereich üblicherweise mit einem Referenzpotential verbunden ist.

Das Anlegen einer geeigneten Spannung an das Gate schaltet den Transistor in Abhängigkeit von seinem Programmierzustand ein und ermöglicht ggfs. einen Stromfluß zwischen den Diffusionsbereichen durch den Kanal, um so eine Verbindung zwischen der Bitleitung und dem Referenzpotential zu bilden. Das Ausschalten des Transistors trennt diese Verbindung, indem der Stromfluß durch den Kanal unterbrochen wird.

Das Programmieren selbst erfolgt durch Speichern von Ladungen durch einen Tunnelstrom (z.B. Fowler-Nordheim-Prinzip) oberhalb des Kanals, so daß die Schwellspannung des Transistors verschoben wird.

Die der vorliegenden Erfindung zugrundeliegende Problematik besteht allgemein darin, daß die Bitleitungen üblicherweise als Metallbahnen ausgeführt werden und zur Ansteuerung der Speicherzellen sowohl beim Lesen als auch beim Programmieren eingesetzt werden. Die beiden Betriebsarten Programmieren und Auslesen erfolgen jedoch bei sehr unterschiedlichen Betriebsbedingungen und bringen daher unterschiedliche technische Anforderungen u.a. hinsichtlich Leckströmen, Sättigungsströmen, Degradationsfestigkeit etc. mit sich.

Als nachteilhaft beim obigen bekannten Ansatz hat sich die Tatsache herausgestellt, daß stets ein Kompromiß zwischen optimalem Ausleseverhalten und optimalem Programmierverhalten gefunden werden muß.

5

Insbesondere treten beim üblichen Programmieren verhältnismäßig hohe Spannungen am Drainbereich auf, welche zu unerwünschten Feldüberhöhungen führen, die wiederum das Gateoxid schädigen können.

10

Daher ist es Aufgabe der vorliegenden Erfindung, eine verbesserte Halbleiter-Speicherzellenanordnung zu schaffen, bei der das Programmierverhalten unabhängig vom Ausleseverhalten optimierbar ist und die einfacher herstellbar und programmierbar ist.

15

Erfindungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleiter-Speicherzellenanordnung und durch das entsprechende Herstellungsverfahren nach Anspruch 2 gelöst.

20

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß eine zweite Bitleitung nicht über den Hauptschluß des gate-gesteuerten Halbleiterbauelements geführt ist, sondern über den Kanalbereich bzw. über das Bauelementsubstrat. Weiterhin ist insbesondere in einem jeweiligen Steg ein Aufdotierungsbereich des zweiten Leitungstyps zum Anschluß der betreffenden zweiten Bitleitung vorgesehen. Dies spart ein Kontaktloch pro Speicherzelle und ermöglicht eine Kontaktierung der Speicherzellen zur Programmierung von oben.

30

Die erfindungsgemäße Halbleiter-Speicherzellenanordnung weist den weiteren Vorteil auf, daß es möglich ist, eine einzelne Speicherzelle beim Programmieren im wesentlichen durch die zweite, zusätzliche Bitleitung und beim Lesen im wesentlichen durch die erste, bekannte Bitleitung anzusteuern. Dadurch

35

lassen sich die Leckströme beim Programmieren und Lesen minimieren.

Dadurch, daß die zweite Bitleitung über den Kanalbereich geführt ist, steht eine große Tunnelstrom-Querschnittsfläche zur Verfügung, und somit werden die Feldüberhöhungen am Drain beim Programmieren vermieden. Demzufolge erhält man eine geringe Oxidschädigung bzw. eine hohe Zuverlässigkeit und Lebensdauer (erforderlich für strenge Anforderungen hinsichtlich der zu erwartenden Speicherzyklen).

Daß die Speicherzellen über die jeweilige erste Bitleitung auslesbar und über die jeweilige zweite Bitleitung programmierbar sind, hat den Vorteil, daß beide Bitleitungen vollkommen unabhängig voneinander optimierbar sind.

Daß das Substrat eine Mehrzahl von in einer ersten Richtung im wesentlichen parallel zueinander verlaufenden Isolationsgräben und dazwischenliegenden Stegen aufweist, auf denen die Speicherzellen angeordnet sind, wobei die ersten Bitleitungen über den Stegen verlaufen und die zweiten Bitleitungen in den Stegen verlaufen, hat den Vorteil, daß die zweiten Bitleitungen ohne Platzverlust in den Stegen integriert sind und die ersten Bitleitungen wie die bekannten Bitleitungen als Metallstreifen ausbildbar sind.

Die Kanalbereiche und die zweite Bitleitung bilden in einem jeweiligen Steg einen zusammenhängenden Dotierungsbereich. Bei Verwendung von Isolationsgräben (STI-Gräben) hinreichender Tiefe, welche an die Dotierprofile angepaßt ist, kommt diese Bitleitungs-Doppelstruktur sogar ohne Einbußen in der Chipfläche aus.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

In den Figuren zeigen:

- Fig. 1 eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung;  
5  
Fig. 2 einen Stromlaufplan der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach Fig. 1; und  
10  
Fig. 3 die an ein einzelnes Halbleiter-Speicherelement der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach Fig. 1 beim Löschen (Fig. 3a), beim Programmieren (Fig. 3b) und beim  
15 Auslesen (Fig. 3c) anzulegenden Spannungen.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

- 20 Fig. 1 ist eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung.

In Fig. 1 bezeichnen 10 ein n-Halbleitersubstrat, 20 Isolationsgräben in STI-Technologie (STI = Shallow Trench Isolation), 30 p-Dotierungsgebiete in den Stegen als zweite Bitleitungen, 40 n<sup>+</sup>-Draingebiete, 50 n<sup>+</sup>-Sourcegebiete, 45 Kanalgebiete, 60 p<sup>+</sup>-Aufdotierungsgebiete, 70 einen Kontaktbereich zu  
60, 80 schwebende Gatestrukturen, 90 eine Wortleitung und  
30 100, 101, 102 Speicherzellen mit einem jeweiligen Feldeffekttransistor mit Floating-Gate-Struktur. Die ersten Bitleitungen sind in Fig. 1 nicht gezeigt und verlaufen parallel zu den Isolationsgräben oberhalb der Stege.

- 35 Die in Fig. 1 gezeigte Halbleiter-Speicherzellenanordnung mit der Mehrzahl von matrixförmig auf dem Substrat 10 angeordneten und durch entsprechende Wort- und Bitleitungen verschal-

teten Flash-EEPROM-Speicherzellen 100, 101, 102 bedient sich der in den Stegen vergrabenen zweiten Bitleitungen 30 zum Programmieren der Speicherzellen und der (nicht gezeigten) ersten üblichen Metallstreifen-Bitleitungen zum Lesen der Speicherzellen.

Der jeweilige Feldeffekttransistor mit Floating-Gate-Struktur hat seinen ersten Hauptanschluß (Drain) an eine jeweilige erste Bitleitung angeschlossen, seinen zweiten Hauptanschluß (Source) an Massepotential angeschlossen und seinen Gateanschluß an eine jeweilige Wortleitung 90 angeschlossen.

Wichtig ist, daß der jeweilige Feldeffekttransistor über seinen Kanalbereich 45 an die jeweilige zweite Bitleitung 30 angeschlossen ist, also unterhalb der Gateoxidebene, wodurch das Gateoxid vor den beim Programmieren auftretenden hohen Spannungen geschützt ist. Die Kanalbereiche 45 und die zweite Bitleitung 30 in einem jeweiligen Steg bilden dabei einen zusammenhängenden p-Dotierungsbereich. In dem jeweiligen Steg ist am oberen Ende von Fig. 1 der Aufdotierungsbereich 60 des zweiten Leitungstyps  $p^+$  zum Anschluß der betreffenden zweiten Bitleitung 30 vorgesehen.

Im folgenden wird das Verfahren zur Herstellung einer derartigen Halbleiter-Speicherzellenanordnung näher erläutert.

Zunächst erfolgt das Bereitstellen des Substrats 10 mit dem ersten Leitungstyp n. Mit Hilfe von den im wesentlichen parallelen STI-Isolationsgräben 20 in der Substratoberfläche mit typischerweise 600 nm Tiefe werden streifenförmige bzw. stegförmige aktive Gebiete geschaffen, welche später durch Oxid in den Isolationsgräben voneinander isoliert werden.

Dann erfolgt das Bilden von einem jeweiligen Dotierungsgebiet 30 mit dem zweiten Leitungstyp p in den Stegen, wobei die Dotierungsgebiete 30 nicht miteinander verbunden sind. Im gezeigten Fall ist der untere Bereich der Stege noch n-dotiert.

Doch können sich die Dotierungsgebiete 30 auch ins Substrat 10 nach unten weiter fortsetzen, solange sie nicht gegenseitig verbunden sind.

- 5   Darauf erfolgt das Bilden von den  $n^+$ -Drain/Source-Dotierungsbereichen 40, 50 der Feldeffekttransistoren auf den Stegen. Dazu sei erwähnt, daß es andere Prozeßvarianten gibt, bei denen die Source/Drain-Dotierung erst später im Prozeß vorzugsweise selbstjustierend ausgeführt wird.

10

Die ersten Bitleitungen 95 werden in bekannter Weise als Metallstreifen über den Stegen gebildet und angeschlossen, und die zweiten Bitleitungen 30 werden über die Kontakte 70 angeschlossen. Auch das Bilden der Wortleitungen 90 über den Stegen, die mit jeweiligen Floating-Gate-Bereichen 80 verbunden sind, geschieht in an sich bekannter Art und Weise.

15

Fig. 2 zeigt einen Stromlaufplan der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach Fig.

20 1.

In Fig. 2 bezeichnen zusätzlich zu den bereits eingeführten Bezugszeichen 90a-c Wortleitungen, 95a-c erste Bitleitungen, 30a-c zweite Bitleitungen, 100a-c sowie 101a-c sowie 102a-c Speicherzellen mit Feldeffekttransistor mit schwebender Gatestruktur.

25

Zum Auslesen einer bestimmten Speicherzelle wird nur die erste der jeweiligen beiden Bitleitungen aktiviert und zum Programmieren nur die zweite der jeweiligen beiden Bitleitungen. Die p-Dotierung in den Stegen dient beim Lesen als Wannenschluß und beim Schreiben bzw. Löschen als aktive Bitleitung, die auf ein entsprechendes Potential gelegt wird.

30

35   Fig. 3 zeigt die an ein einzelnes Halbleiter-Speicher-element der Ausführungsform der erfindungsgemäßen Halbleiter-Speicherzellenanordnung nach Fig. 1 beim Löschen (Fig. 3a), beim

Programmieren (Fig. 3b) und beim Auslesen (Fig. 3c) anzulegenden Spannungen.

5 In Fig. 3a-c bezeichnet zusätzlich zu den bereits eingeführten Bezugszeichen 95 eine jeweilige erste Bitleitung.

Gemäß Fig. 3a) liegt beim Löschen die erste Bitleitung 95 auf 0 V, die zweite Bitleitung 30 auf 0 V und die Wortleitung 90 auf -15 V.

10

Gemäß Fig. 3b) liegt beim Programmieren die erste Bitleitung 95 auf 0 V, die zweite Bitleitung 30 auf -5 V und die Wortleitung 90 auf +10 V. Dies vermeidet die besagten Feldüberhöhungen am Drainanschluß.

15

Gemäß Fig. 3c) liegt beim Lesen die erste Bitleitung 95 auf 1 V, die zweite Bitleitung 30 auf 0 V und die Wortleitung 90 auf +2 V.

20 Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

25 Insbesondere ist die Erfindung nicht nur auf Flash-EEPROM-Speicherzellen anwendbar, sondern auf jegliche Halbleiterspeicherzellen mit einem gate-gesteuerten Halbleiterbauelement.

30 Auch sind die im Ausführungsbeispiel gewählten Leitungstypen nur beispielhaft und z.B. durch den jeweiligen komplementären Leitungstyp ersetzbar.

35 Das Substrat ist in allgemeinem Sinne zu verstehen, denn es kann u.a. ein Wafersubstrat sein oder eine Wanne in einem Wafersubstrat oder eine Epitaxieschicht auf einem Wafer sein.



Auch die Potentiale zum Lesen, Schreiben und Löschen sind nur beispielhaft gewählt und von der konkreten Halbleiterstruktur abhängig.

## Patentansprüche

1. Halbleiter-Speicherzellenanordnung mit einer Mehrzahl  
5 von matrixförmig auf einem Substrat (10) angeordneten und  
durch entsprechende Wort- und Bitleitungen verschalteten  
Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c), ins-  
besondere von Flash-EEPROM-Speicherzellen, wobei die Spei-  
cherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c) jeweils  
10 ein gate-gesteuertes Halbleiterbauelement aufweisen, dessen  
erster Hauptanschluß an eine jeweilige erste Bitleitung (95;  
95a-c) angeschlossen, dessen zweiter Hauptanschluß vorzugs-  
weise an ein jeweiliges Referenzpotential angeschlossen ist  
und dessen Gateanschluß an eine jeweilige Wortleitung (90;  
15 90a-d) angeschlossen ist;
- wobei
- das gate-gesteuerte Halbleiterbauelement über seinen Kanalbe-  
20 reich (45) an eine jeweilige zweite Bitleitung (30; 30a-c)  
angeschlossen ist;
- die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-c)  
über die jeweilige erste Bitleitung (95; 95a-c) auslesbar und  
25 über die jeweilige zweite Bitleitung (30; 30a-c) programmier-  
bar sind;
- das Substrat (10) eine Mehrzahl von in einer ersten Richtung  
im wesentlichen parallel zueinander verlaufenden Isolations-  
30 gräben (20) und dazwischenliegenden Stegen aufweist, auf de-  
nen die Speicherzellen (100, 101, 102; 100a-c, 101a-c, 102a-  
c) angeordnet sind, wobei die ersten Bitleitungen (95; 95a-c)  
über den Stegen verlaufen und die zweiten Bitleitungen (30;  
30a-c) in den Stegen verlaufen;
- 35 das Substrat (10) einen ersten Leitungstyp (n), die zweiten  
Bitleitungen (30; 30a-c) einen zweiten Leitungstyp (p), die

Hauptanschlüsse der gate-gesteuerten Halbleiterbauelemente den ersten Leitungstyp ( $n^+$ ) und der Kanalbereich (45) den zweiten Leitungstyp (p) aufweisen; und

- 5 die Kanalbereiche (45) und die zweite Bitleitung (30; 30a-c) in einem jeweiligen Steg einen zusammenhängenden Dotierungsbereich bilden;

dadurch gekennzeichnet, daß

- 10 in einem jeweiligen Steg ein Aufdotierungsbereich (60) des zweiten Leitungstyps ( $p^+$ ) zum Anschluß der betreffenden zweiten Bitleitung (30; 30a-c) vorgesehen ist.

15

2. Verfahren zur Herstellung einer Halbleiter-Speicherzellenanordnung nach Anspruch 1 mit den Schritten:

- 20 Bereitstellen eines Substrats (10) mit einem ersten Leitungstyp (n);

Bilden von im wesentlichen parallelen Isolationsgräben (20) in der Substratoberfläche;

- 25 Bilden von einem jeweiligen Dotierungsgebiet (30) mit einem zweiten Leitungstyp (p) in den Stegen, wobei die Dotierungsgebiete (30) nicht miteinander verbunden sind;

- Bilden von Dotierungsbereichen (40; 50) von Speicherzellen  
30 (100, 101, 102; 100a-c, 101a-c, 102a-c) auf den Stegen, die jeweils ein gate-gesteuertes Halbleiterbauelement aufweisen, dessen Hauptanschlüsse die Dotierungsbereiche (40; 50) sind; und

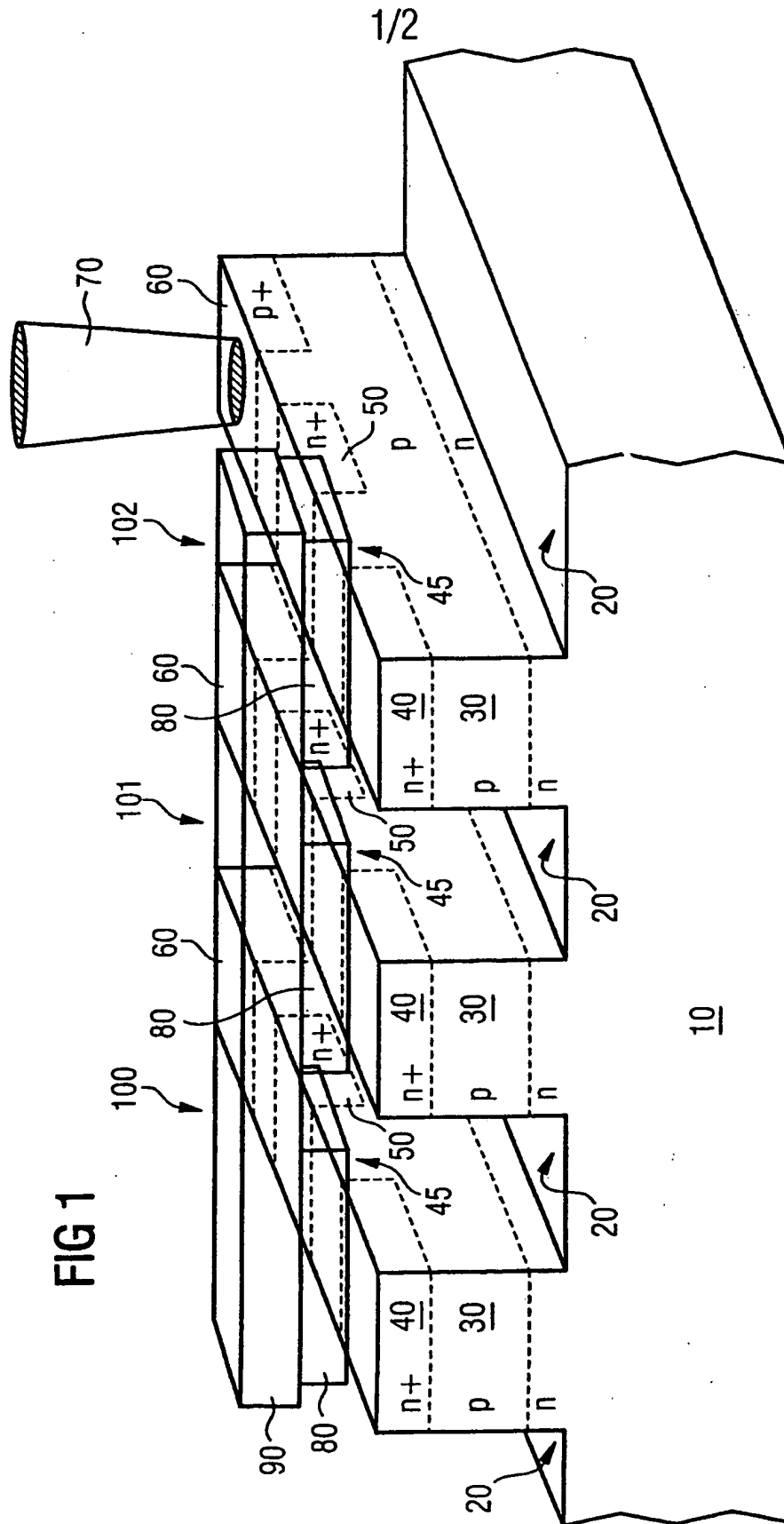
- 35 Bilden von ersten Bitleitungen (95; 95a-c) über den Stegen, die mit jeweiligen ersten Hauptanschlüssen (40) verbunden sind;

Bilden von zweiten Bitleitungen (30; 30a-c), die mit einem jeweiligen Dotierungsgebiet (30) mit dem zweiten Leitungstyp (p) in den Stegen verbunden sind;

5

Bilden von Gatebereichen (80) und von Wortleitungen (90) über den Stegen; und

10 Bilden eines Aufdotierungsbereich (60)s des zweiten Leitungstyps ( $p^+$ ) zum Anschluß der betreffenden zweiten Bitleitung (30; 30a-c) in einem jeweiligen Steg.



BEST AVAILABLE COPY

2/2

FIG 2

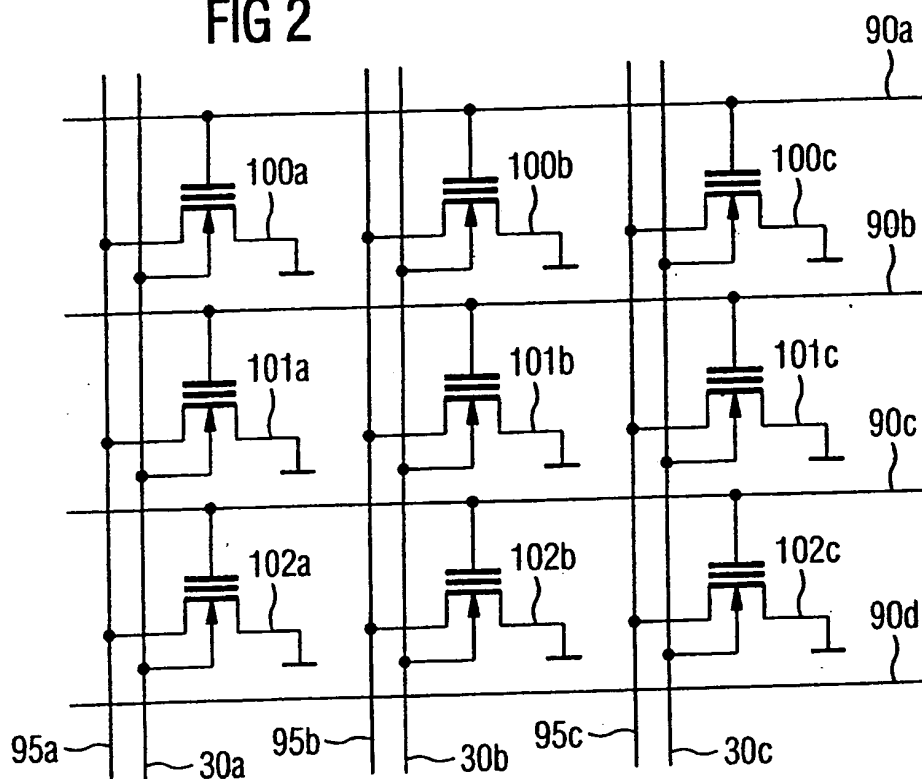


FIG 3a

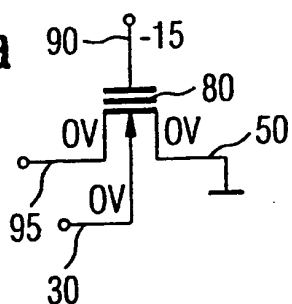


FIG 3b

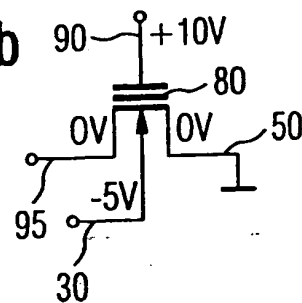
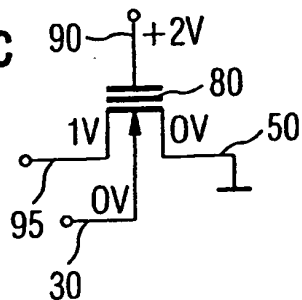


FIG 3c



# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 99/01515

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 6 H01L27/115 H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 679 591 A (LIN RUEI-LING ET AL) 21 October 1997 (1997-10-21) cited in the application column 5, line 27 -column 9, line 15; figures 1-18C ----	1,2
A	EP 0 673 070 A (TOKYO SHIBAURA ELECTRIC CO) 20 September 1995 (1995-09-20) abstract ----	1,2
A	DE 195 25 070 A (SIEMENS AG) 16 January 1997 (1997-01-16) abstract -----	1,2

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

9 November 1999

Date of mailing of the international search report

16/11/1999

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/01515

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5679591 A	21-10-1997	US 5834806 A	10-11-1998
EP 0673070 A	20-09-1995	JP 7254651 A	03-10-1995
		CN 1113609 A	20-12-1995
		US 5610419 A	11-03-1997
DE 19525070 A	16-01-1997	WO 9703469 A	30-01-1997
		EP 0838092 A	29-04-1998
		JP 11509044 T	03-08-1999
		US 5943572 A	24-08-1999



# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/01515

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 6 H01L27/115 H01L21/8247

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 679 591 A (LIN RUEI-LING ET AL) 21. Oktober 1997 (1997-10-21) in der Anmeldung erwähnt Spalte 5, Zeile 27 - Spalte 9, Zeile 15; Abbildungen 1-18C	1,2
A	EP 0 673 070 A (TOKYO SHIBAURA ELECTRIC CO) 20. September 1995 (1995-09-20) Zusammenfassung	1,2
A	DE 195 25 070 A (SIEMENS AG) 16. Januar 1997 (1997-01-16) Zusammenfassung	1,2

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

9. November 1999

Absenddatum des internationalen Recherchenberichts

16/11/1999

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen  
PCT/DE 99/01515

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5679591 A	21-10-1997	US 5834806 A	10-11-1998
EP 0673070 A	20-09-1995	JP 7254651 A	03-10-1995
		CN 1113609 A	20-12-1995
		US 5610419 A	11-03-1997
DE 19525070 A	16-01-1997	WO 9703469 A	30-01-1997
		EP 0838092 A	29-04-1998
		JP 11509044 T	03-08-1999
		US 5943572 A	24-08-1999